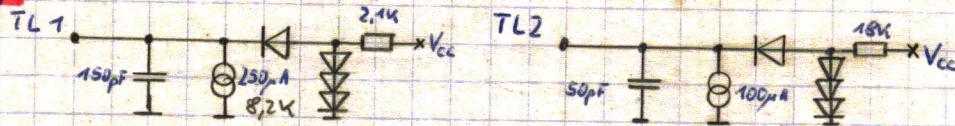


7. Lastschaltungen



Externe Speicher

a) die ersten 256 byte des ext. PM werden vom PORT 1 adressiert; PORT 0 enthält die zusätzlichen Adressen für 1K-Speicher (A8-A11) als 64K-Speicher (A8-A15)

b) Nach dem Vorbereiten von PORT 0 und PORT 1 für ext. Speicheroperation müssen auf Grund des Befehlspipeline zwei Byte interne Befehle folgen.

c) Interne Speicher mit 12 Adressen:

Programmspeicher	Datenspeicher	Adressen an den Ports	A11	\overline{DS} und R/W
0 - 2047	-	0, - 2047	0	inaktiv
2048 - 4095	2048 - 4095	2048 - 4095	1	aktiv
4096 - 6147	4096 - 6147	0 - 2047	0	aktiv

d) Adressbeschreibung

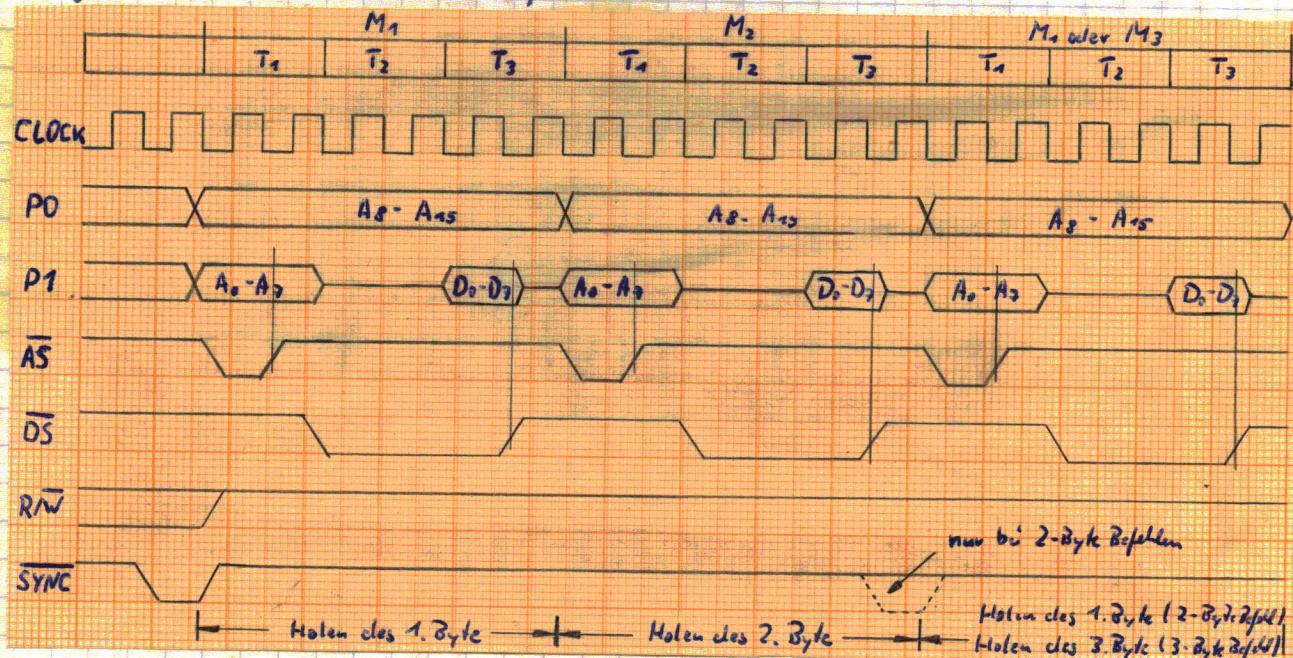
c) AS - Die Adressen für alle ext. PM oder DM-Übertragungen sind während der linken Flanke von AS gültig; ist aktiv zu Beginn eines jeden Maschinenzyklus; durch Programmsteuerung kann AS mit DS, R/W und Port 0, 1 in einem hochkomplexen Zustand gehalten.

b) DS - Mit dem aktiven DS liegen während des Schreibzyklus gültige Daten auf Port 1, während des Leszyklus werden die Daten gelesen. Sowohl kann DS zur Befehlsynchronisation dienen, da es Low wird, wenn der Befehlszyklus beginnt.

c) R/W - Ist Low während eines Schreibzyklus, sonst bleibt es inaktiv.

e) Zyklusabläufe

a) Befehlszyklus - Adressen sind gültig → der steigenden Flanke von AS; Port 1 auf Eingabe während Teil Ende von T1; DS wird während T2 ausgetragen; Daten werden während T3 und DS übernommen; SYNC wird einen Taktsignal vor Beginn des Befehlszyklus ausgetragen; Wird nur der interne Speicher benutzt, übertritt Port 0 8 Bit d.h. 110, DS gibt SYNC aus und R/W ist inaktiv;



b) Externe Speicher und I/O - Sind externe Speicher adressiert, liegen auf Port 1 adressen und Daten multiplex am.

c) Interrupt - IRQ wird nach jedem Befehlszyklus abgetastet (ext. IRQ 4 Taktsignale vor dem AS-Taktsignal, int. IRQ 1 Taktsignal vor AS) Nach einem gesetzten IRQ verwandelt der Z80 sieben Maschinenzyklen (4x4 Taktsignale) zum erläutern der Priorisierung des Interruptvektors und zum Rotieren des Programmzählers und der Flags im Stack; Beim Z80/64 wird IACK aktiv;

d) Reset -

Die interne Logik initialisiert ein Rücksetzen, wenn der RESET-Eingang für 18 Taktsignale auf Low gehalten wird. In dieser Zeit ist AS = SCLK, DS = 0, R/W = inaktiv und PO...P2 = input; Da in diesen Zeilen AS = DS = 0 aufhält, kann dies zum Rücksetzen passives Gerät benutzt werden.